

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321758  
 (43)Date of publication of application : 03.12.1996

(51)Int.CI. H03K 17/22

(21)Application number : 08-121452 (71)Applicant : SAMSUNG ELECTRON CO LTD  
 (22)Date of filing : 16.05.1996 (72)Inventor : CHO IL-JAE

(30)Priority

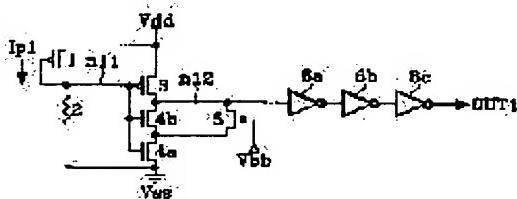
Priority number : 95 9512087 Priority date : 16.05.1995 Priority country : KR

**(54) POWER-UP RESET SIGNAL GENERATING CIRCUIT FOR SEMICONDUCTOR DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To obtain a power up preset signal generation circuit capable of generating an accurate power up reset signal, even in a semiconductor device using a reverse bias voltage.

**SOLUTION:** A PMOS transistor(TR) 5 to be turned on by reverse bias voltage Vbb is connected to an output node n12 for outputting a reset signal. An NMOS TR 4b has a long-channel length. When the channel length of the TR 4b is extended, an accurate reset signal is not generated, even when voltage Vdd is boosted up to a sufficiently high level. A reset state may be held, but when a voltage Vbb starts to be generated after a sufficiently high level of the voltage Vdd, the TR 5 is turned on and pull-down operation is executed, so that no trouble is generated.



**LEGAL STATUS**

[Date of request for examination] 16.05.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2868727

[Date of registration] 25.12.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-321758

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl.<sup>6</sup>

H 03 K 17/22

識別記号

府内整理番号

9184-5K

F I

H 03 K 17/22

技術表示箇所

E

審査請求 有 請求項の数 8 O L (全 5 頁)

(21)出願番号 特願平8-121452

(22)出願日 平成8年(1996)5月16日

(31)優先権主張番号 1995 P 12087

(32)優先日 1995年5月16日

(33)優先権主張国 韓国(KR)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 趙一在

大韓民国京畿道龍仁郡器興邑農書里山24番  
地

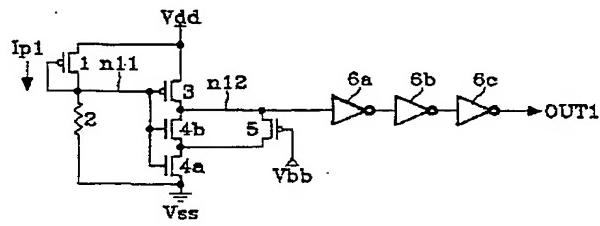
(74)代理人 弁理士 高月猛

(54)【発明の名称】 半導体装置のパワーアップリセット信号発生回路

(57)【要約】

【課題】 バックバイアス電圧を使う半導体装置においても正確なパワーアップリセット信号を発生し得るパワーアップリセット信号発生回路を提供する。

【解決手段】 リセット信号を出力する出力ノードn12に対し、バックバイアス電圧VbbによりONするPMOSトランジスタ5を設ける。そしてNMOSトランジスタ4bはチャネル長を長いものとする。トランジスタ4bのチャネル長を長くするとVddが十分なレベルになっても正確なリセット信号が発生されず、リセット状態が維持されてしまう可能性があるが、Vddが十分なレベルになってVbbが発生され始めるトランジスタ5がONしてプルダウンが行われるので、問題ない。



1

## 【特許請求の範囲】

【請求項1】 バックバイアス電圧を発生するバックバイアス電圧発生器をもつ半導体装置のパワーアップリセット信号発生回路において、電源電圧と基準電圧との間に設けられ、電源電圧の上昇に応じてパワーアップ制御信号を提供するブルアップ手段と、このパワーアップ制御信号に応じて導通し、電源電圧からリセット信号を出力する第1MOSトランジスタと、このリセット信号を出力する出力端に接続され、バックバイアス電圧に従ってリセット信号の出力を抑止するリセット信号出力制御手段と、を備えることを特徴とするパワーアップリセット信号発生回路。

【請求項2】 ブルアップ手段は、電源電圧から基準電圧へ、ダイオード接続の第2MOSトランジスタと抵抗とを直列接続してなる請求項1記載のパワーアップリセット信号発生回路。

【請求項3】 リセット信号出力制御手段は、リセット信号を出力する出力端に接続され、バックバイアス電圧をゲートに受けて動作し前記出力端をプルダウンする第3MOSトランジスタを備えてなる請求項1又は請求項2記載のパワーアップリセット信号発生回路。

【請求項4】 リセット信号出力制御手段は、第3MOSトランジスタに並列接続され、ブルアップ手段によるパワーアップ制御信号をゲートに受けて動作する第4MOSトランジスタを更に含む請求項3記載のパワーアップリセット信号発生回路。

【請求項5】 リセット信号出力制御手段は、第3MOSトランジスタ及び第4MOSトランジスタと基準電圧との間に設けられ、ブルアップ手段によるパワーアップ制御信号をゲートに受けて動作する第5MOSトランジスタを更に含む請求項4記載のパワーアップリセット信号発生回路。

【請求項6】 第4MOSトランジスタのチャネル長が、第5MOSトランジスタのチャネル長の1.5倍以上とされる請求項5記載のパワーアップリセット信号発生回路。

【請求項7】 リセット信号を出力する出力端に、1以上のインバータが接続される請求項1～6のいずれか1項に記載のパワーアップリセット信号発生回路。

【請求項8】 バックバイアス電圧を利用する半導体装置のパワーアップリセット信号発生回路において、リセット信号出力端に、電源電圧の上昇に応じて導通するチャネル長の長いNMOSトランジスタと、バックバイアス電圧に応じて導通するPMOSトランジスタと、を並列に設けてブルダウンするようにしたことを特徴とするパワーアップリセット信号発生回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の電源供給開始時にリセット信号を発生するためのパワーアッ

10

2

プリセット信号発生回路に関する。

【0002】

【従来の技術】 通常、半導体装置は、外部の電源供給装置からランプ波形(ramp wave)の電源電圧Vddが供給される場合、この電源電圧VddのレベルがNMOSトランジスタのしきい値電圧VtnとPMOSトランジスタのしきい値電圧Vtpを加えた電圧レベル以上になるとき動作する。従って、電源電圧Vddの印加開始時ににおける半導体装置内の各素子誤動作を防止するために、リセット信号を発生するパワーアップリセット信号発生回路を内蔵するのが一般的である。このパワーアップリセット信号発生回路は、“Vtn+Vtp”の電圧レベル以下でも動作可能とされて正確なリセットパルスを発生できるようにしてある必要がある。

20

【0003】 このようなパワーアップリセット信号発生回路の先行技術としては、“Andrew M. Love”による1991年7月9日付米国特許5,030,845号に記載のようなものがある。図1に、従来のパワーアップリセット信号発生回路の構成を示してある。即ち、10,11,14a,15はPMOSトランジスタ、12,16はNMOSトランジスタ、13はNMOSキャバシタ、14bはPMOSキャバシタであり、このパワーアップリセット信号発生回路は、パワーアップ時の電圧印加状態を検出して論理“ハイ”レベルのリセットパルスを発生する。

【0004】

【発明が解決しようとする課題】 図1に示すようなパワーアップリセット信号発生回路は、より高集積化された半導体装置には向きである。何故なら、例えば高集積のDRAMではリフレッシュ特性及びNMOSトランジスタのしきい値電圧の安定化を図るためにバックバイアス電圧発生器を内蔵しているからである。このバックバイアス電圧発生器は、約-1V～-2Vのバックバイアス電圧Vbbを発生してNMOSトランジスタのバルクへ印加する回路であり、他の回路同様に、供給される電源電圧Vddのレベルが“Vtn+Vtp”を越えるときに動作する。このため、NMOSトランジスタのバックバイアス電圧Vbb発生前の電源電圧Vddが“Vdd < Vtn+Vtp”的レベルにあるときには、パワーアップリセット信号発生回路が誤動作し得る。

30

【0005】 即ち、高集積のためにNMOSトランジスタのしきい値電圧Vtnを低める際にはNMOSトランジスタのバルクにバックバイアス電圧Vbbを提供して安定化させるものであるが、このための結果として、バックバイアス電圧Vbb発生前のVdd < Vtn+Vtpのレベルに電源電圧Vddがあるときに、しきい値電圧Vtnは、バックバイアス電圧Vbb発生後におけるしきい値電圧Vtnよりも低くなる現象が生じる。このランプ波形の電源電圧Vddが供給される電源立ち上げ時ににおいて、電源電圧VddがPMOSトランジスタ10,

11のしきい値電圧 $V_{tp}$ の和よりも高くなると、内部ノードN1の電圧 $V_{n1}$ は、電源電圧 $V_{dd}$ からPMOSトランジスタ10, 11の各しきい値電圧 $V_{tp10}$ ,  $V_{tp11}$ の和をひいた電圧 $V_{dd} - V_{tp11} - V_{tp10}$ になる。この内部ノードN1にゲートが接続されたNMOSトランジスタ16は、バックバイアス電圧 $V_{bb}$ が発生前でしきい値電圧 $V_{th}$ が低い状態にあるので、このときの内部ノードN1の電圧 $V_{n1}$ によりオンになる可能性がある。つまり、出力OUT=リセット信号が論理“ロウ”レベルに維持され、パワーアップ時に論理“ハイ”レベルのリセットパルスが発生されない事態が生じ得る。

【0006】この事態を防ぐためには、NMOSトランジスタ16のチャネル長を通常使用するNMOSトランジスタの場合より長くすれば解決可能であるが、これは一方で、電源電圧 $V_{dd}$ が十分に立上がりてもリセット信号が続いて論理“ハイ”に維持される可能性を生むことになり、半導体装置内の回路がいつまでもリセット状態で動作開始しないという不具合をもつ。即ち、NMOSトランジスタ16のチャネル長制御だけに頼ったのでは、工程条件に敏感であること等から、リセット信号を正確に発生させることは難しい。

【0007】以上のような解決課題に鑑みて本発明では、高集積化のために半導体装置内のNMOSトランジスタのしきい値電圧が低くなる場合でも正確なリセット信号を発生できるように改善したパワーアップリセット信号発生回路を提供する。更に言えば、バックバイアス電圧発生器を有するような高集積の半導体装置において、パワーアップ初期の電源印加状態を検出して正確なリセット信号を発生し得るパワーアップリセット信号発生回路を提供する。即ち、NMOSトランジスタのパルクにバックバイアス電圧が印加されない低電源電圧領域でNMOSトランジスタのしきい値電圧 $V_{tn}$ が低くなる場合でも正確なパワーアップリセット信号を発生することの可能なパワーアップリセット信号発生回路を提供する。また、製造工程の条件変化等によるNMOSトランジスタのしきい値電圧 $V_{tn}$ の変化に鈍感なパワーアップリセット信号発生回路を提供する。

#### 【0008】

【課題を解決するための手段】この目的のために本発明によれば、バックバイアス電圧を発生するバックバイアス電圧発生器をもつ半導体装置のパワーアップリセット信号発生回路において、電源電圧と基準電圧との間に設けられ、電源電圧の上昇に応じてパワーアップ制御信号を提供するプルアップ手段と、このパワーアップ制御信号に応じて導通し、電源電圧からリセット信号を出力する第1MOSトランジスタと、このリセット信号を出力する出力端に接続され、バックバイアス電圧に従ってリセット信号の出力を抑止するリセット信号出力制御手段と、を備えることを特徴としている。プルアップ手段

は、電源電圧から基準電圧へ、ダイオード接続の第2MOSトランジスタと抵抗とを直列接続したものとができる。また、リセット信号出力制御手段は、リセット信号を出力する出力端に接続され、バックバイアス電圧をゲートに受けて動作し前記出力端をプルダウンする第3MOSトランジスタを備えた構成とすることができる。この場合、第3MOSトランジスタに並列接続され、プルアップ手段によるパワーアップ制御信号をゲートに受けて動作する第4MOSトランジスタを更に含めることができ、また第3MOSトランジスタ及び第4MOSトランジスタと基準電圧との間に設けられ、プルアップ手段によるパワーアップ制御信号をゲートに受けて動作する第5MOSトランジスタを更に含めることができる。

【0009】或いは、本発明によれば、バックバイアス電圧を利用する半導体装置のパワーアップリセット信号発生回路において、リセット信号出力端に、電源電圧の上昇に応じて導通するチャネル長の長いNMOSトランジスタと、バックバイアス電圧に応じて導通するPMOSトランジスタと、を並列に設けてプルダウンすることを特徴とする。

#### 【0010】

【発明の実施の形態】以下、図2及び図3を参照して実施形態を詳細に説明する。図2の回路図に示すように、本例のパワーアップリセット信号発生回路では、電源電圧 $V_{dd}$ 端と基準電圧 $V_{ss}$ 端との間に、電源電圧 $V_{dd}$ の上昇に比例して上昇するプルアップ制御信号を発生するプルアップ手段が接続されている。このプルアップ手段は、電源電圧 $V_{dd}$ をソースに受ける第1チャネル形としてのPMOSトランジスタ1と、このPMOSトランジスタ1のドレインから接地へ接続した抵抗2と、を備えている。PMOSトランジスタ1のゲート及びドレインは内部ノードn11に接続されており、抵抗2は、内部ノードn11から基準電圧 $V_{ss}$ へつながれている。

【0011】この回路で、電源電圧 $V_{dd}$ が図3に示すようにランプ波形で増加する場合、PMOSトランジスタ1のソースドレイン間電流 $I_{p1}$ により内部ノードn11の電圧が設定される。つまり、内部ノードn11の電圧を $V_{n11}$ とすれば、次の式で表すことができる。尚、式中“R”は、抵抗2の抵抗値である。

$$V_{n11} = I_{p1} \times R$$

【0012】このとき、待機時の消費電流を抑制するためには、通常使用されるPMOSトランジスタのチャネル長よりもPMOSトランジスタ1のチャネルを約10倍以上長くし、抵抗2は数百kΩ以上のものを使用するとよい。尚、プルアップ手段としてはこの他の形態も可能である。

【0013】プルアップ手段のPMOSトランジスタ1及び抵抗2により、式1で表される内部ノードn11

の電圧  $V_{n11}$ 、即ちプルアップ制御信号がPMOSトランジスタ3のゲートに印加される。このPMOSトランジスタ3はソースに電源電圧  $V_{dd}$  を受け、ドレインが出力ノード  $n12$  に接続される。

【0014】リセット信号出力端となる出力ノード  $n12$  には更に、第2チャネル形のNMOSトランジスタ4b, 4aとPMOSトランジスタ5とから構成されたリセット信号出力制御手段におけるNMOSトランジスタ4bのドレインが接続される。NMOSトランジスタ4bのソースには基準電圧  $V_{ss}$  へソースをつないだNMOSトランジスタ4aのドレインが接続されており、これらNMOSトランジスタ4a, 4bの各ゲートは、プルアップ手段の内部ノード  $n11$  に接続される。また、リセット信号出力制御手段のPMOSトランジスタ5は、そのソースがNMOSトランジスタ4bのドレインに、そのドレインがNMOSトランジスタ4bのソースにそれぞれ接続されており、即ち、出力ノード  $n12$  とNMOSトランジスタ4aとの間にNMOSトランジスタ4bとPMOSトランジスタ5とが並列に入れられている。PMOSトランジスタ5のゲートには、バックバイアス電圧発生器(図示せず)によるバックバイアス電圧  $V_{bb}$  が供給される。NMOSトランジスタ4bは、通常のNMOSトランジスタのチャネル長より約1.5倍長いチャネル長とし、NMOSトランジスタ4a及びPMOSトランジスタ5は通常通りのチャネル長とする。

【0015】このようなパワーアップリセット信号発生回路において、図3に示すように、電源電圧  $V_{dd}$  の上昇に伴ってプルアップ手段の内部ノード  $n11$  における電圧  $V_{n11}$  が増加すれば、これに応じてPMOSトランジスタ3が制御されるので、そのドレインの出力ノード  $n12$  における電圧  $V_{n12}$  も電源電圧  $V_{dd}$  の増加に伴って増加する。そして、電源電圧  $V_{dd}$  が0Vから“ $V_{tn} + V_{tp}$ ”までのレベルにあるうちは、電圧  $V_{n11}$  及び電圧  $V_{n12}$  が増加しても、NMOSトランジスタ4bのチャネル長を長くしてある故に、該NMOSトランジスタ4bはオフの状態を維持する。即ち、出力ノード  $n12$  に接続されたNMOSトランジスタ4bのチャネルは通常のNMOSトランジスタのチャネルよりも1.5倍以上長くしてあるので、電源電圧  $V_{dd}$  に伴って電圧  $V_{n11}$  が十分に高くならなければ出力ノード  $n12$  をプルダウンさせることはない。

【0016】しかしながら一方で今度は、NMOSトランジスタ4bのチャネル長を長くしたことにより、工程条件の変化等によっては電源電圧  $V_{dd}$  が十分に上昇してもリセットが解除されない可能性が出てくる。そこで、ゲートにバックバイアス電圧  $V_{bb}$  を受けるPMOSトランジスタ5を設けてその弊害を解消している。即ち、パワーアップ初期で電源電圧  $V_{dd}$  レベルが“ $V_{dd} < V_{tn} + V_{tp}$ ”のレベルにあるうちはバックバイ

アス電圧発生器が動作せず、従ってPMOSトランジスタ5はオフの状態にあるが、電源電圧  $V_{dd}$  が動作可能レベルまで上がればバックバイアス電圧  $V_{bb}$  が発生されるので、こにれよりPMOSトランジスタ5がオンし、出力ノード  $n12$  のプルダウンを行う。

【0017】以上の結果、パワーアップ初期において出力ノード  $n12$  のレベルは電源電圧  $V_{dd}$  レベルと同じ論理“ハイ”に正確にセットされ、この出力ノード  $n12$  からつながれたインバータチェーン6a, 6b, 6cによりリセット信号が論理“ロウ”レベルで出力され、半導体装置内回路をリセットする。勿論、リセット信号の論理はインバータ数の調整等により適宜変更可能である。

【0018】その後、パワーアップの状態が継続し、電源電圧  $V_{dd}$  のレベルが“ $V_{tn} + V_{tp}$ ”以上へ上昇してバックバイアス電圧  $V_{bb}$  が発生すれば、NMOSトランジスタ4bないしはPMOSトランジスタ5がオンし、出力ノード  $n12$  の論理“ハイ”レベルは、NMOSトランジスタ4aを介してプルダウンされる。この出力ノード  $n12$  の論理“ロウ”により、インバータチェーン6a, 6b, 6cから論理“ハイ”レベル(電源電圧  $V_{dd}$  レベル)のリセット信号が半導体装置内回路に提供され、リセット状態が解除される。

【0019】付け加えておくと、各インバータ6a, 6b, 6cはNMOSトランジスタ及びPMOSトランジスタで構成され、出力ノード  $n12$  の信号を半導体装置内各回路へバッファリング出力するためのものである。このとき、消費電流を抑制するために、インバータ6a, 6b, 6c内のNMOSトランジスタ及びPMOSトランジスタのチャネルは、通常のものより数十倍長くしておくといよい。

#### 【0020】

【発明の効果】本発明によれば、高集積半導体装置で使用されるバックバイアス電圧を利用してリセット信号の出力制御を行うようにしたことにより、安定した正確なリセット信号を発生することが可能となる。

#### 【図面の簡単な説明】

【図1】従来のパワーアップリセット信号発生回路の回路図。

【図2】本発明によるパワーアップリセット信号発生回路の回路図。

【図3】図2に示したパワーアップリセット信号発生回路に係る電圧波形図。

#### 【符号の説明】

1, 2 プルアップ手段

3 PMOSトランジスタ(第1MOSトランジスタ)

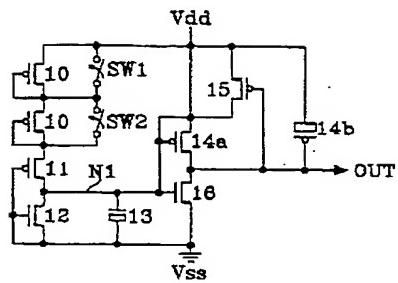
4a, 4b, 5 リセット信号出力制御手段

n12 出力ノード(リセット信号出力端)

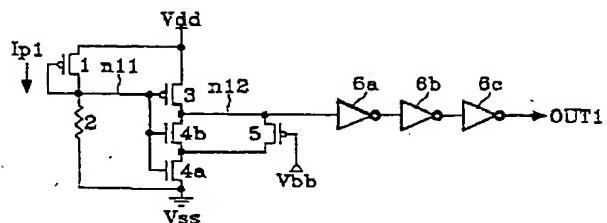
(5)

特開平8-321758

【図1】



【図2】



【図3】

